Министерство образования и науки РФ

Федеральное государственное бюджетное образовательное учреждение

высшего профессионального образования

Нижегородский государственный технический университет имени Р.Е. Алексеева

Институт Радиоэлектроники и Информационных Технологий

Кафедра "Вычислительные системы и технологии"

Лабораторная работа №2

"Исследование временных диаграмм выполнения команд процессора"

Выполнил студент группы 19-ВМв:

Ермаков С.Ю.

«\_\_\_» \_\_\_\_\_\_\_ 20\_\_\_ г.

Проверил:

Киселёв Ю.Н.

«\_\_\_» \_\_\_\_\_\_\_ 20\_\_\_ г.

Нижний Новгород - 2021 г.

# Цель работы

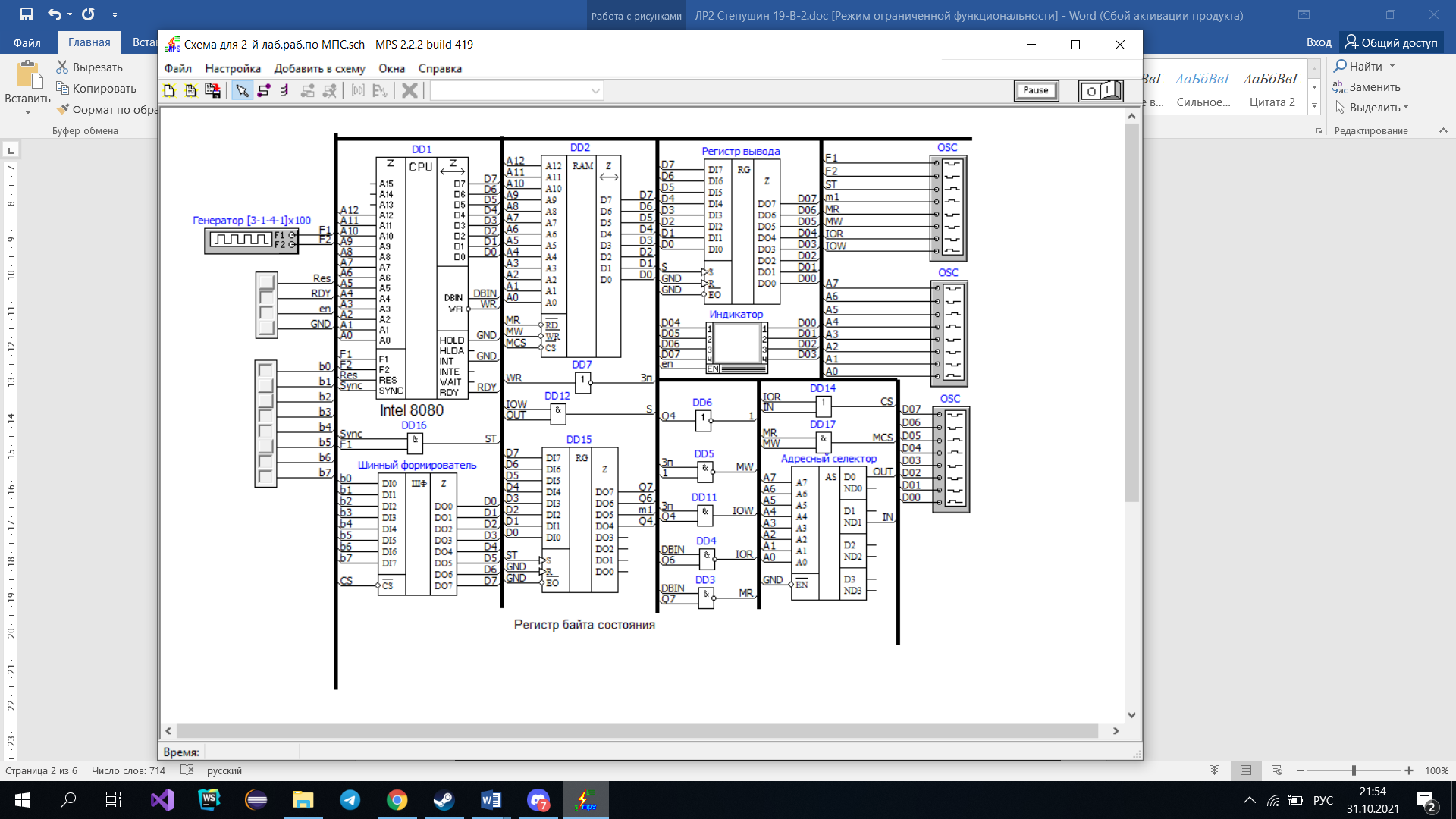
Исследование временных диаграмм, которые формирует процессор КР580ВМ80А при выполнении различных команд, в том числе команд обмена данными с подсистемами микро-ЭВМ (память, устройства ввода-вывода). Работа выполняется на модели микро-ЭВМ.

# Задача

Наблюдение и фиксация временных диаграмм сигналов управления, сигналов шины данных и адресав процессорных циклах исследуемой команды с помощью логических анализаторов; Снятие битовой информации на шинах адреса и данных по осциллограммам.

Исследование временных диаграмм, которые формирует процессор КР580ВМ80А при выполнении им команды OUT

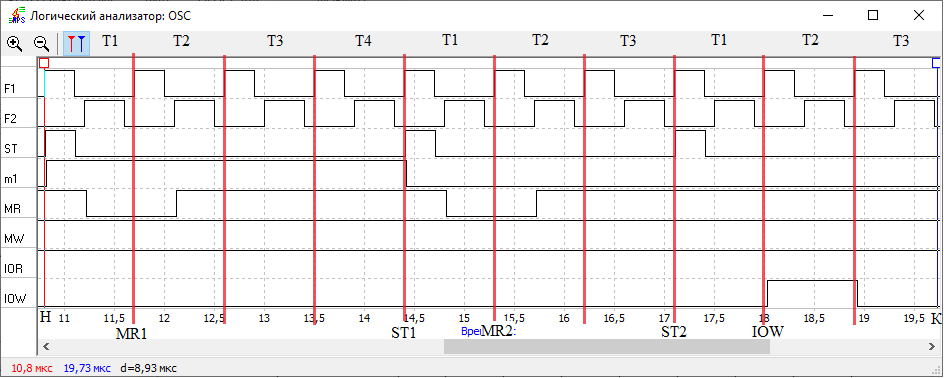
# Схема микро-ЭВМ на процессоре КР580ВМ80А



**Текст программы на ассемблере и в кодах процессора:**

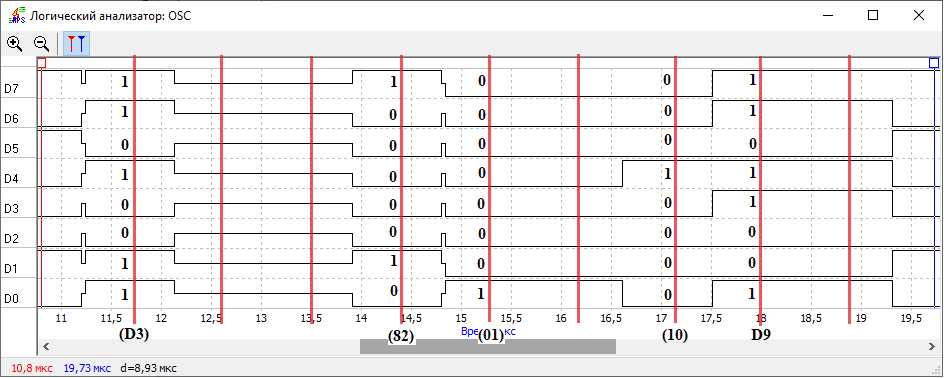
|  |  |  |
| --- | --- | --- |
| in 02h | 0000h | DB 02 |
| out 02h | 0002h | D3 01 |
| hlt | 0004h | 76 |

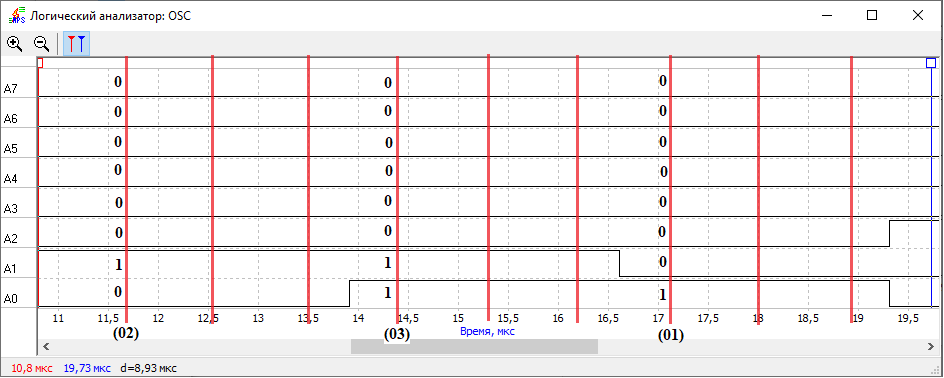
**Временные диаграммы**

 M1 M2 M3

Чтение КОП Чтение младшего Запись по адресу

байта адреса вывода





**Результаты считывания данных с ШД**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | MR1 | ST1 | MR2 | ST2 | IOW |
| D7 / MR | **1** | **1** | **0** | **0** | **1** |
| D6 / IN | **1** | **0** | **0** | **0** | **1** |
| D5 / M1 | **0** | **0** | **0** | **0** | **0** |
| D4 / OUT | **1** | **0** | **0** | **1** | **1** |
| D3 / HALT | **0** | **0** | **0** | **0** | **1** |
| D2 / STACK | **0** | **0** | **0** | **0** | **0** |
| D1 / WR | **1** | **1** | **0** | **0** | **0** |
| D0 / INTA | **1** | **0** | **1** | **0** | **1** |
| Код | **D3h** | **82h** | **01h** | **10h** | **D9h** |

**Результаты считывания данных с ША**

|  |  |  |  |
| --- | --- | --- | --- |
| **A7** | **0** | **0** | **0** |
| **A6** | **0** | **0** | **0** |
| **A5** | **0** | **0** | **0** |
| **A4** | **0** | **0** | **0** |
| **A3** | **0** | **0** | **0** |
| **A2** | **0** | **0** | **0** |
| **A1** | **1** | **1** | **0** |
| **A0** | **0** | **1** | **1** |
| **код** | **0002h** | **0003h** | **0001h** |

1. По адресу 00000010 (0002h) хранится первый байт команды.
2. По адресу 00000011 (0003h) хранится второй байт команды – младший байт адреса.
3. Адрес 00000001 (0001h) - адрес порта вывода значение которого находится по адресу второго байта команды.

**Вывод:**

В ходе выполнения лабораторной работы я изучил структуру процессора, его функционирование и организацию управления подсистемами микро-ЭВМ путем исследования временных диаграмм, которые формирует процессор КР580ВМ80А при выполнении различных команд.